



УДК 004.052.32+681.518.5

© 2018 г. **В.В. Сапожников**, д-р техн. наук,

Вл.В. Сапожников, д-р техн. наук

(Петербургский государственный университет путей сообщения
Императора Александра I),

Д.В. Ефанов, д-р техн. наук

(Российский университет транспорта (МИИТ), Москва)

СИНТЕЗ САМОПРОВЕРЯЕМЫХ СХЕМ КОНТРОЛЯ ДЛЯ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ УСТРОЙСТВ НА ОСНОВЕ МЕТОДА ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ И ИСПОЛЬЗОВАНИЯ МОДУЛЕЙ СЖАТИЯ ПАРАФАЗНЫХ СИГНАЛОВ

Статья посвящена развитию теории синтеза самопроверяемых схем встроенного контроля и непосредственно метода логического дополнения. Предложен алгоритм синтеза самопроверяемой схемы встроенного контроля, предполагающий использование в качестве устройства проверки корректности вычислений модуля сжатия парафазных сигналов. Алгоритм учитывает необходимость формирования полного множества тестовых комбинаций для элементов сложения по модулю два блока логического дополнения и модуля сжатия парафазных сигналов. К недостаткам алгоритма и метода в целом следует отнести необходимость перебора вариантов логического дополнения для обеспечения самопроверяемости и уменьшения структурной избыточности устройства автоматики. Тем не менее, метод универсален и позволяет синтезировать самопроверяемые схемы встроенного контроля для устройств автоматики, реализованных на любой элементной базе, со структурной избыточностью меньшей, чем при использовании дублирования.

Ключевые слова: самопроверяемая схема встроенного контроля, логическое дополнение, модуль сжатия парафазных сигналов, тестируемость элементов.

DOI: 10.22250/isu.2018.57.50-58

Введение

Интенсивное развитие микропроцессорной и микроэлектронной техники, уменьшение габаритов устройств, их «уплотнение», а также растущая вычисли-

тельная мощность определяют необходимость совершенствования методов определения и прогнозирования технического состояния блоков и компонентов [1 – 3]. Развитие методов повышения надежности структурных единиц значительно отстает от темпов усложнения блоков и компонентов. Поэтому особую важность в вопросе повышения надежности приобретают методы резервирования [4]. К таким методам можно отнести и использование самопроверяемых схем встроенного контроля [5, 6]. Как отмечают специалисты, особенный интерес может представлять использование самопроверяемых схем встроенного контроля для нетиповых комбинационных логических схем, реализованных на современных программируемых логических интегральных схемах.

Существует большое число способов синтеза самопроверяемых схем встроенного контроля, включающих в себя применение типовых структур, таких как дублирование и контроль по паритету [7, 8], а также применение блочных равномерных кодов с малой избыточностью, ориентированных на обнаружение ошибок, а не на их исправление [9, 10]. Последние, как показано в большом количестве работ, позволяют синтезировать устройства автоматики с уменьшенной структурной избыточностью по сравнению с применением метода дублирования. При этом, однако, вносятся ограничения на класс неисправностей, возникающих в объекте диагностирования.

Использование избыточных кодов при организации самопроверяемых схем встроенного контроля возможно двумя путями. Первый, классический метод основан на отождествлении рабочих выходов объекта диагностирования с информационным вектором заранее выбранного кода и дополнением его с помощью блока контрольной логики до кодового слова заранее выбранного кода [11]. Второй способ связан с применением модифицированной структуры с каскадом сумматоров по модулю два, образующих блок логического дополнения до кодового слова заранее выбранного неразделимого кода [12].

Настоящая работа посвящена развитию метода логического дополнения и освещает еще один алгоритм синтеза самопроверяемой схемы встроенного контроля на основе использования модулей сжатия парафазных сигналов (*TRC*) [13].

Постановка задачи

В данной работе мы поставили перед собой следующую задачу – разработать алгоритм синтеза схемы контроля, обеспечивающий ее самопроверяемость, при использовании метода логического дополнения и контроля корректности вычислений на основе стандартных модулей сжатия парафазных сигналов. Представленный в работе алгоритм позволяет во многих случаях (при большом числе

входов логического устройства – четыре и более) синтезировать самопроверяемые устройства автоматики.

Логическое дополнение с контролем на основе модулей сжатия парафазных сигналов

Метод логического дополнения для синтеза самопроверяемых схем встроенного контроля предложен в [14], где представлена схема самопроверяемой структуры, подразумевающая свертку по модулю два значений рабочих функций и последующее преобразование полученной функции в самодвойственную. Метод логического дополнения известен в мировом научном сообществе [15]. Он исследовался в большом количестве работ на протяжении всего времени, прошедшего с момента первой публикации, – например, в следующих публикациях [16 – 23]. В [24] авторы обращают внимание на возможность использования при синтезе схемы контроля стандартных модулей сжатия парафазных сигналов (*TRC*), которые широко применяются при построении устройств сравнения данных [25].

На рис. 1 изображена базовая структурная схема системы диагностирования, реализованная на основе использования метода логического дополнения с контролем корректности вычисления данных на основе модуля *TRC*. Как показано в [24] для реализации самопроверяемой схемы контроля с использованием блока *TRC* требуется преобразование максимум двух рабочих функций объекта диагностирования. Для примера на рис. 1 изображена схема контроля, в которой преобразуются значения функций f_1 и f_4 .

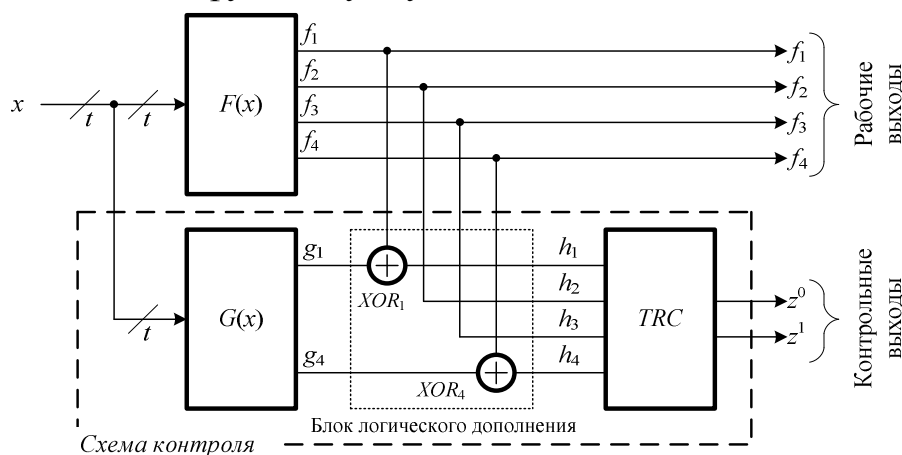


Рис. 1. Структурная схема системы диагностирования.

Для формирования на выходах блока логического дополнения кодовых комбинаций, соответствующих рабочим кодам модуля сжатия парафазных сигналов, необходимо преобразование как минимум двух рабочих функций. Это следует из анализа множества рабочих комбинаций блока *TRC*: {0101; 0110; 1001; 1010} [24]. Преобразуя, например, первую и четвертую рабочие функции объекта

диагностирования, можно всегда добиться формирования парафазных кодов на входах *TRC*. С учетом этого рассмотрим алгоритм получения значений контрольных функций, позволяющих синтезировать полностью самопроверяемую схему контроля по методу логического дополнения.

Синтез схем контроля на основе модулей сжатия парафазных сигналов

Реализовать схему контроля по методу логического дополнения на основе *TRC* можно по следующему алгоритму (рис. 2).

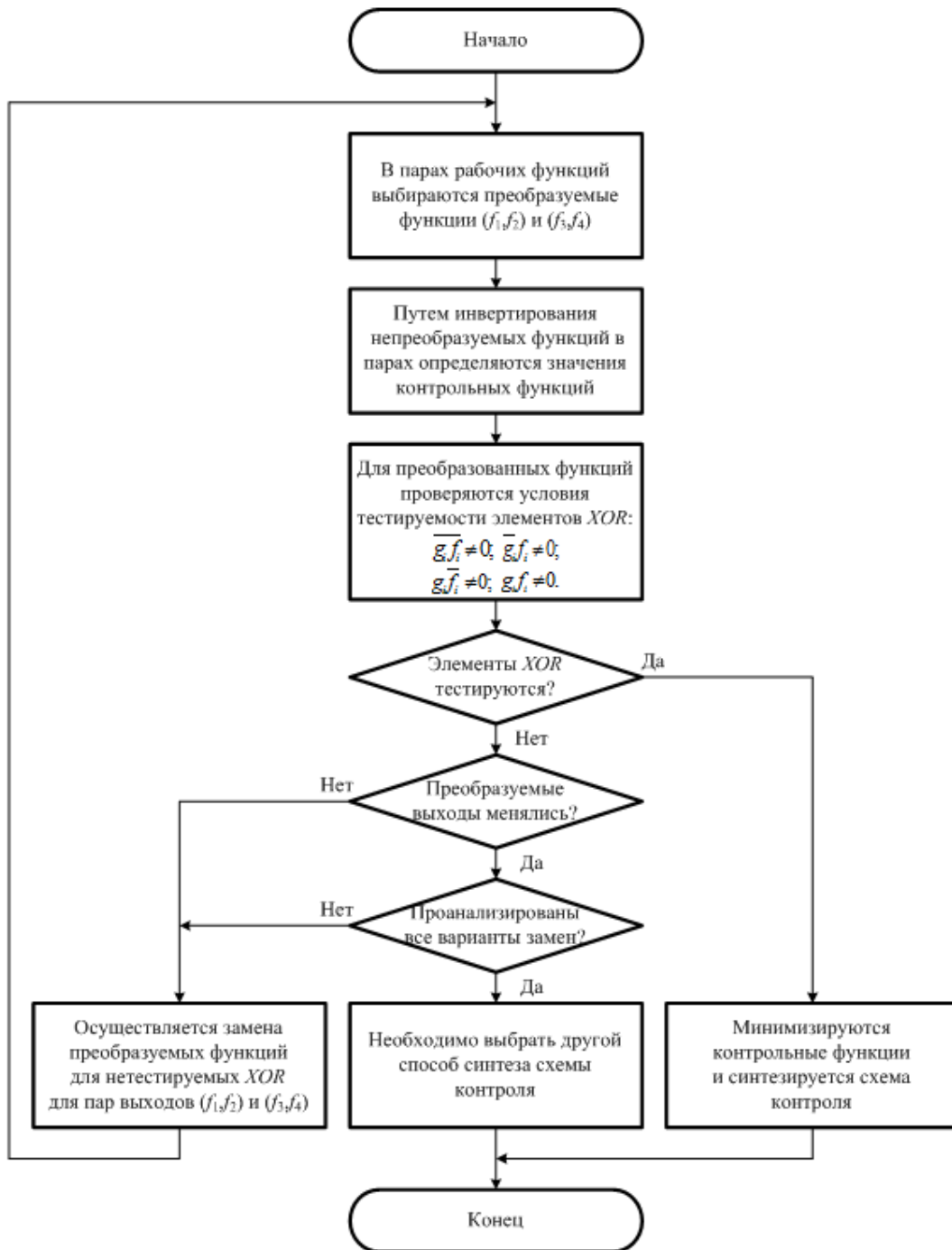


Рис. 2. Алгоритм синтеза схемы контроля.

Шаг 1. Произвольно выбираются преобразуемые и не преобразуемые рабочие функции объекта диагностирования. Положим, преобразуются функции f_1 и f_4 , а функции f_2 и f_3 – не преобразуются. Таким образом, на выходах блока логического дополнения реализуются следующие функции:

$$\begin{cases} h_1 = f_1 \oplus g_1; \\ h_2 = f_2; \\ h_3 = f_3; \\ h_4 = f_4 \oplus g_4. \end{cases} \quad (1)$$

Шаг 2. Доопределяются значения функций g_1 и g_4 , исходя из условий формирования двух групп парафазных сигналов $\langle h_1 h_2 \rangle$ и $\langle h_3 h_4 \rangle$:

$$\begin{cases} g_1 = \overline{f_2}; \\ g_4 = \overline{f_3}. \end{cases} \quad (2)$$

Шаг 3. Функции g_1 и g_4 заданы полностью. Требуется проверка наличия всех кодовых комбинаций для полной проверки элементов XOR_1 и XOR_4 : комбинаций из множества $\{00; 01; 10; 11\}$ [26]. Осуществляется проверка условий наличия всех тестовых комбинаций для i -го элемента XOR :

$$\begin{cases} \overline{g_i} f_i \neq 0; \\ g_i \overline{f_i} \neq 0; \\ g_i \overline{f_i} \neq 0; \\ g_i f_i \neq 0. \end{cases} \quad (3)$$

По результатам проверки условий (3) делается заключение, тестируется или не тестируется полностью каждый элемент XOR .

Шаг 4. Если хотя бы один элемент XOR не полностью тестируется, осуществляется замена преобразуемой функции в соответствующей паре (f_1, f_2) и/или (f_3, f_4) . Вновь повторяются шаги 2 и 3, но уже для скорректированной системы преобразуемых и не преобразуемых функций (см. формулу 1). Если указанные действия не позволяют сформировать множество тестовых комбинаций для элементов XOR , то реализация полностью проверяемого блока логического дополнения становится невозможной. Тем не менее может оказаться действенным предварительное инвертирование в блоке логического дополнения одной из рабочих функций перед реализацией шагов 2 и 3.

Шаг 5. Контрольные функции g_1 и g_4 минимизируются.

Шаг 6. Реализуется схема контроля, как каскадное подключение блока контрольной логики $G(x)$, реализующего функции g_1 и g_4 , блока логического дополнения и модуля TRC .

Рассмотрим алгоритм на примере построения схемы встроенного контроля комбинационного логического устройства $F(x)$, заданного таблицей истинности.

No.	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	h_1	h_2	h_3	h_4	g_1	g_4
0	0	0	0	0	0	1	1	0	0	1	1	0	0	0
1	0	0	0	1	0	0	0	1	1	0	0	1	1	0
2	0	0	1	0	1	1	1	1	0	1	1	0	1	1
3	0	0	1	1	1	0	1	1	1	0	1	0	0	1
4	0	1	0	0	0	0	1	0	1	0	1	0	1	0
5	0	1	0	1	0	0	0	0	1	0	0	1	1	1
6	0	1	1	0	0	1	1	0	0	1	1	0	0	0
7	0	1	1	1	0	0	1	0	1	0	1	0	1	0
8	1	0	0	0	0	0	1	1	1	0	1	0	1	1
9	1	0	0	1	1	1	0	1	0	1	0	1	1	0
10	1	0	1	0	1	0	0	0	1	0	0	1	0	1
11	1	0	1	1	0	0	0	0	1	0	0	1	1	1
12	1	1	0	0	0	1	1	1	0	1	1	0	0	1
13	1	1	0	1	0	0	1	1	1	0	1	0	1	1
14	1	1	1	0	0	0	1	1	1	0	1	0	1	1
15	1	1	1	1	1	1	1	0	0	1	1	0	1	0

В качестве преобразуемых функций выберем функции f_1 и f_4 . Пользуясь формулами (1) и (2), однозначно доопределяем значения контрольных функций.

Необходимо проверить условия тестируемости элементов XOR_1 и XOR_4 . Для XOR_1 имеем:

$$\begin{aligned} \overline{g_1 f_1} &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \neq 0; \\ \overline{g_1 f_1} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ \overline{g_1 f_1} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \\ &\quad \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ \overline{g_1 f_1} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}. \end{aligned}$$

Отсюда следует, что элемент XOR_1 тестируется полностью.

Аналогично для элемента XOR_4 получаем:

$$\begin{aligned} \overline{g_4 f_4} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ \overline{g_4 f_4} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ \overline{g_4 f_4} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ \overline{g_4 f_4} &\neq \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \\ &\quad \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}. \end{aligned}$$

Элемент XOR_4 также тестируется полностью.

Таким образом, для рассматриваемого примера с использованием приведенного здесь алгоритма возможно построение полностью самопроверяемой схемы контроля.

Заключение

Описанный в статье алгоритм синтеза позволяет реализовывать самопроверяемые устройства автоматики на основе метода логического дополнения с контролем на основе модулей сжатия парафазных сигналов. Все элементы схемы контроля имеют типовое исполнение, за исключением блока контрольной логики. За счет выбора преобразуемых функций может быть обеспечено уменьшение сложности реализации схемы контроля. Особое значение такой выбор приобретает для многовыходных логических устройств, так как становится возможным большое количество вариантов выбора преобразуемых функций. Например, для устройства с восемью выходами при организации схемы контроля следует выполнить разбиение на две группы, по четыре выхода в каждой. Это можно сделать следующим количеством способов: $C_8^4 C_4^4 = 70$. Для каждого из вариантов разбиения возможно $C_4^2 C_4^2 = 36$ способов выбора преобразуемых функций. Таким образом, общее количество вариантов реализации схемы контроля становится равным 2520.

При этом для реализации самопроверяемой схемы контроля необходимо, чтобы не преобразуемые функции хотя бы по разу принимали значения 0 и 1 (иначе не сформируется тест на *TRC*), плюс на каждый элемент сложения по модулю два в блоке логического дополнения поступал проверяющий тест, включающий четыре кодовые комбинации. Указанные условия, однако, не являются столь жесткими и выполняются тем проще, чем больше входов у объекта диагностирования и чем чаще изменяются значения, реализуемых им функций.

Алгоритм синтеза универсален и позволяет строить самопроверяемые устройства автоматики, реализованные на любой элементной базе, включая устройства на современной программируемой логике.

ЛИТЕРАТУРА

1. Багдади А.А., Хаханов В.И., Литвинова Е.И. Методы анализа и диагностирования цифровых устройств (аналитический обзор) // Автоматизированные системы управления и приборы автоматики. – 2014. – №166. – С. 59-74.
2. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – P. 25-28. DOI: 10.1109/EWDTS.2017.8110065.
3. Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. Checkability of the digital components in safety-critical systems: Problems and solutions // Proceedings of 9th East-West Design

- & Test Symposium (EWDTS), Sevastopol, Ukraine, September 9-12, 2011. – P. 411-416. DOI: 10.1109/EWDTS.2011.6116606.
4. *Illiashenko O., Kharchenko V., Kor Ah-L., Panarin A., Sklyar V.* Hardware diversity and modified NUREG/CR-7007 based assessment of NPP I&C safety // 9th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS), Bucharest, Romania, September 21-23, 2017. – Vol. 2. – P. 907-911. DOI: 10.1109/IDAACS.2017.8095218.
 5. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. – М.: Радио и связь, 1989.
 6. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application. – 1998. – Vol. 12, Issue 1-2. – P. 7-20. DOI: 10.1023/A:1008244815697.
 7. *Goessel M., Graf S.* Error Detection Circuits. – London: McGraw-Hill, 1994.
 8. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Дмитриев В.В.* Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика. – 2017. – №2. – С. 127-143.
 9. *Piestrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. – Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995.
 10. *Matrosova A.Yu., Levin I., Ostanin S.A.* Self-Checking Synchronous FSM Network Design with Low Overhead // VLSI Design. – 2000. – Vol. 11, Issue 1. – P. 47-58. – DOI: 10.1155/2000/46578.
 11. *Efanov D., Sapozhnikov V., Sapozhnikov Vl.* Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – P. 365-371, DOI: 10.1109/EWDTS.2017.8110126.
 12. *Paschalis A.M., Nikolos D., Halastics C.* Efficient Modular Design of TSC Checkers for m-out-of-n Codes // IEEE Transaction on Computers. – 1988. – Vol. C-37, No. 3. – P. 301-309.
 13. *Carter W., Schneider P.* Design of Dynamically Checked Computers // Proceedings of IFIP Congress 68, Edinburgh, Scotland, 1968. – P. 878-883.
 14. *Saposhnikov Vl.V., Dmitriev A., Goessel M., Saposhnikov V.V.* Self-Dual Parity Checking – a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium, Princeton, NJ, USA, 28 April – 1 May 1996. – P. 162-168. DOI: 10.1109/VTEST.1996.510852.
 15. *Lala P.K.* Self-Checking and Fault-Tolerant Digital Design. – San Francisco: Morgan Kaufmann Publishers, 2001.
 16. *Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В.* Логическое дополнение – новый метод контроля комбинационных схем // Автоматика и телемеханика. – 2003. – №1. – С. 167-176.
 17. *Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В.* Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. – 2005. – №8. – С.161-172.
 18. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. – Dordrecht: Springer Science+Business Media B.V., 2008.
 19. *Sen S.K.* A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of

Technology, Sikkim, held during 22-24 December, 2010.

20. *Das D.K., Roy S.S., Dmitiriev A., Morozov A., Gössel M.* Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012. – P. 33-40.
21. *Sapozhnikov V., Sapozhnikov Vl., Efanov D., Bliudov A., Pivovarov D.* Combinational Circuit Check by Boolean Complement Method Based on “1-out-of-5” Code // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTs'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – P. 89-94. DOI: 10.1109/EWDTs.2017.8110076.
22. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Построение самопроверяемых структур систем функционального контроля на основе равновесного кода «2 из 4» // Проблемы управления. – 2017. – №1. – С. 57-64.
23. *Пивоваров Д.В.* Построение систем функционального контроля многовыходных комбинационных схем методом логического дополнения по равновесным кодам // Автоматика на транспорте. – 2018. – Т. 4, №1. – С. 130-148.
24. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Организация систем функционального контроля с обеспечением полной самопроверяемости структуры на основе модулей сжатия парафазных сигналов // Известия вузов. Приборостроение. – 2017. – Т. 60, №5. – С. 404-411. DOI: 10.17586/0021-3454-2017-60-5-404-411.
25. *Huches J.L.A., McCluskey E.J., Lu D.J.* Design of Totally Self-Checking Comparators with an Arbitrary Number of Inputs // IEEE Transactions on Computers. – 1984. – Vol. C-33, No. 6. – P.546-550.
26. *Аксенова Г.П.* Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю два // Автоматика и телемеханика. – 1979. – № 9. – С. 126-135.

Статья представлена к публикации членом редколлегии С.В. Шалобановым

E-mail:

Сапожников Валерий Владимирович – port.at.pgups1@gmail.com;

Сапожников Владимир Владимирович – port.at.pgups1@gmail.com;

Ефанов Дмитрий Викторович – TrES-4b@yandex.ru.