



УДК 681.518.5+004.052.32

© 2022 г. **Д.В. Ефанов**, д-р техн. наук  
(Российский университет транспорта, Москва)

## УСЛОВИЯ ВЫДЕЛЕНИЯ ОСОБЫХ ГРУПП ВЫХОДОВ ЛОГИЧЕСКИХ УСТРОЙСТВ ДЛЯ ОРГАНИЗАЦИИ КОНТРОЛЯ ВЫЧИСЛЕНИЙ

Установлено полное множество особых групп выходов логических устройств автоматики и вычислительной техники, которые целесообразно учитывать при организации контроля вычислений. Особые группы выходов образуются при условии, что на них исключены ошибки определенных видов. Введены функциональные описания, которые позволяют определить, какие виды ошибок могут возникать в любой группе выходов. Показано, что полная группа выходов основана на разделении ошибок на монотонные, симметричные и асимметричные. При этом особые группы выходов подразделяются на независимые и зависимые, а последние – на монотонно, симметрично и (или) асимметрично независимые выходы, либо же выходы, которые невозможно классифицировать в особые группы (полностью зависимые выходы). На практике использование полученных в работе результатов позволяет организовывать технические средства контроля вычислений с учетом особенностей структур логических устройств автоматики и вычислительной техники, в том числе с применением средств автоматизированного проектирования.

**Ключевые слова:** логическое устройство, схема встроенного контроля, контроль вычислений логическим устройством, обнаружение ошибок на выходах устройства, монотонные ошибки, симметричные ошибки, асимметричные ошибки, группы функционально независимых выходов устройства.

DOI: 10.22250/18142400\_2022\_74\_4\_91

### Введение

Для обеспечения надежности в работе логических устройств автоматики и вычислительной техники используется контроль вычислений функций ими либо на рабочих выходах, либо в специально выбранных контрольных точках в их внутренней структуре [1 – 4]. При этом для контроля вычисле-

ний применяются разнообразные методы. Например, к таким методам можно отнести контроль вычислений по установленному модулю [5, 6], проверки мантиссы [7], сигнатурный анализ [8], контроль свойств вычисляемых функций, – таких как монотонность, самодвойственность или линейность [9, 10], принадлежность формируемых бинарных векторов некоторым заранее выбранным избыточным кодам [11 – 15], парафазное и импульсное кодирование сигналов [16, 17] и пр.

Ошибки, возникающие на линиях схем логических устройств вследствие неисправностей (постоянных отказов или сбоев), транслируются в контрольные точки или на их выходы по различным путям. Поэтому одиночная ошибка любого вида ( $0 \rightarrow 1$  или  $1 \rightarrow 0$ ) может трансформироваться в контролируемом векторе данных в многократную ошибку с различным сочетанием искажаемых нулевых и единичных разрядов. По числу искажаемых нулевых и единичных разрядов в бинарном векторе выделяют три основных вида ошибок – монотонная, симметричная и асимметричная [18]. Монотонная ошибка возникает в том случае, если искажены только нулевые или только единичные разряды, симметричная – если искажено равное количество нулевых и единичных разрядов, асимметричная – если искажено неравное количество нулевых и единичных разрядов. Поэтому при организации контроля вычислений логическими устройствами учитывают, какие виды ошибок могут возникать при работе устройства, а какие физически исключены [19 – 21].

Чаще всего в научной литературе упоминается поиск и учет монотонных (однонаправленных) ошибок, в том числе однократных [22 – 26]. Такие виды ошибок на контрольных или функциональных выходах устройства определить гораздо проще, чем иные их виды. Однако, как показано в [18], доля монотонных ошибок от общего их количество существенно меньше, чем немонотонных (симметричных и асимметричных). Более того, чем больше разрядов в булевом векторе, тем большее смещение числа потенциальных ошибок идет в сторону асимметричных ошибок. Эти обстоятельства определяют целесообразность и возможности эффективного использования способов выделения групп выходов, обладающих особыми свойствами, – возможностями обнаружения на них того или иного вида ошибок: как монотонных, так и немонотонных (симметричных и асимметричных). Назовем их *особыми группами* выходов.

Данная работа посвящена описанию функционального подхода к выделению особых групп выходов логических устройств для последующей организации контроля вычислений на них.

## Особые группы выходов логических устройств

Выходы логических устройств могут быть разбиты на подмножества, исходя из допустимых на них видов ошибок [18].

В работе [27] приводится следующее условие, характеризующее группу выходов, на которых возможно монотонное проявление ошибок, возникающих в логическом устройстве  $F(x)$  с выходами  $f_1, f_2, \dots, f_{m-1}, f_m$ :

$$U^d F^v = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right) \left( \overline{f_{i_1} f_{i_2} \dots f_{i_d}} \oplus \overline{\overline{f_{i_1} f_{i_2} \dots f_{i_d}}} \right) \neq 0, \quad (1)$$

где  $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$ ,  $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$ ;  $y_q$  – функция, реализуемая на выходах элемента  $G_q$  схемы устройства.

Условие (1) должно быть выполнено  $\forall G_q$ .

В выражении (1)  $U^d = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right)$  определяется наличие иска-

жения кратностью  $d$ ;  $F^v = \overline{f_{i_1} f_{i_2} \dots f_{i_d}} \oplus \overline{\overline{f_{i_1} f_{i_2} \dots f_{i_d}}}$  – условия, при которых ошибка будет монотонной.

В основе указанного условия лежит идея, заложенная в [28] относительно поиска групп выходов, на которых возможно возникновение симметричной ошибки:

$$U^d F^\sigma = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right) \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\sigma} f_{i_1} f_{i_2} \dots f_{i_d} \neq 0, \quad (2)$$

где выражение  $W^\sigma$  определяет множество выходных векторов с весами, равными  $\frac{d}{2}$  (их число равно  $C_d^{d/2}$ );  $F^\sigma = \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\sigma} f_{i_1} f_{i_2} \dots f_{i_d}$  характери-

зует условия возникновения симметричной ошибки.

Покажем, что выражение (1) определяет не что иное, как условие:

$$U^d F^v = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right) \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^v} f_{i_1} f_{i_2} \dots f_{i_d} \neq 0, \quad (3)$$

где  $W^v$  – множество выходных векторов с весами 0 (их число определяется величиной  $C_d^0$ ) и  $d$  (их число определяется величиной  $C_d^d$ );

$W^v = \{\overline{f_{i_1} f_{i_2} \dots f_{i_d}}; f_{i_1} f_{i_2} \dots f_{i_d}\}$ ,  $F^v = \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^v} f_{i_1} f_{i_2} \dots f_{i_d}$  характери-

зует условия возникновения монотонной ошибки.

Для этого выполним ряд преобразований:

$$\begin{aligned}
F^v &= \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}} \oplus \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}}} = \\
&= \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}} \left( \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}} \right) \vee \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}} \left( \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}} \right)} = \\
&= \overline{\overline{f_{i_1} \vee f_{i_2} \vee \dots \vee f_{i_d}} \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}} \vee \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}} \overline{\overline{f_{i_1} \vee f_{i_2} \vee \dots \vee f_{i_d}}}} = \\
&= \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}} \vee \overline{\overline{f_{i_1} f_{i_2} \cdots f_{i_d}}}}.
\end{aligned}$$

Полученное выражение значительно упрощает условия выявления потенциального возникновения монотонных ошибок на выходах логических устройств. Тем не менее, отметим, что условие монотонности проявления ошибок (3) представляется очевидным. В самом деле, вид ошибки определяется тем, какими были значения выходов  $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$ ,  $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$ ;  $m$  – общее количество выходов устройства, до искажения. При искажении  $d$  выходов монотонная ошибка возникает только в том случае, если все значения выходов были равными до искажения. Множество  $W^v$  как раз содержит все такие векторы.

Из классификации ошибок [18] известно, что полное множество ошибок включает в себя монотонные, симметричные и асимметричные ошибки. Условия (2) и (3) определяют те входные комбинации, на которых ошибка выхода элемента  $G_q$  будет монотонной и симметричной соответственно. Оставшиеся сочетания значений выходных сигналов до искажения определяют возможности асимметричного проявления ошибок на выходах устройства:

$$U^d F^\alpha = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \cdots \frac{\partial f_{i_d}}{\partial y_q} \right)_{f_{i_1} f_{i_2} \cdots f_{i_d} \in W^\alpha} \bigvee f_{i_1} f_{i_2} \cdots f_{i_d} \neq 0, \quad (4)$$

где выражение  $W^\alpha$  определяет множество выходных векторов с весами, не равными 0,  $\frac{d}{2}$  и  $d$  (их число определяется величиной  $C_d^0 + C_d^{d/2} + C_d^d$ ), при этом  $d \geq 3$ ;

$F^\alpha = \bigvee_{f_{i_1} f_{i_2} \cdots f_{i_d} \in W^\alpha} f_{i_1} f_{i_2} \cdots f_{i_d}$  характеризует условия возникновения асимметричной ошибки.

Выражения (2), (3) и (4) – наиболее простые формулы для выявления различных видов ошибок на выходах логических устройств.

Расширим классификацию ошибок, введя в рассмотрение понятия *степени асимметрии*. Степенью асимметрии  $\xi$  ошибки на выходах логических устройств будем называть следующую величину:  $\xi = |d_{0 \rightarrow 1} - d_{1 \rightarrow 0}|$ , где  $d_{0 \rightarrow 1}$  и  $d_{1 \rightarrow 0}$  – число искажений  $0 \rightarrow 1$  и  $1 \rightarrow 0$  при возникновении ошибки. Величина  $\xi$  показывает разницу между числом искажаемых нулей и единиц в векторе

рабочих функций логического устройства<sup>1</sup>. Это также можно использовать при организации контроля вычислений.

Асимметричная ошибка со степенью асимметрии  $\xi$  на выходах логического устройства возникает при условии:

$$U^d F^{\alpha_\xi} = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right)_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^{\alpha_\xi}} \bigvee f_{i_1} f_{i_2} \dots f_{i_d} \neq 0, \quad (5)$$

где  $W^{\alpha_\xi}$  определяет множество выходных векторов, для которых величина  $\xi$  принимает значения  $\xi \in \{1, 2, \dots, d-1\}$  (число выходных векторов, для которых возможно возникновение асимметричной ошибки со степенью  $\xi$ , равно  $C_d^\xi$ ).

Условия возникновения различных видов ошибок сведены в диаграмму на рис. 1.

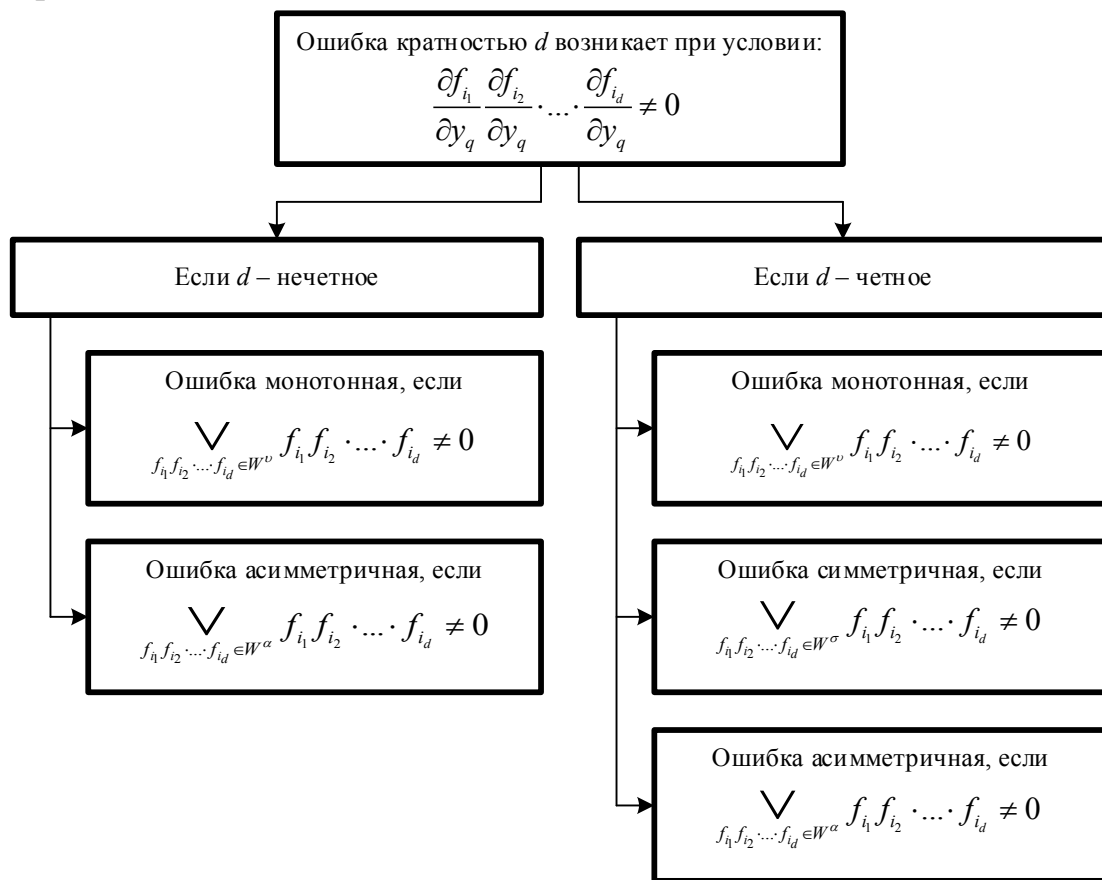


Рис. 1. Условия возникновения ошибок различных видов.

На рис. 2 приведен алгоритм определения вида и кратности ошибки. Алгоритм ориентирован на поиск вида ошибки наиболее простым способом: проверки на «монотонность», а затем на «симметричность». Это следует из числа условий, которым должны удовлетворять выходные векторы до воз-

<sup>1</sup> Интересно, что максимальной крайней степенью асимметрии обладает монотонная ошибка – для нее  $\xi=t$ , а минимальной крайней степенью асимметрии обладает симметричная ошибка – для нее  $\xi=0$ . Все остальные виды ошибок с  $\xi \in \{1, 2, \dots, d-1\}$  являются асимметричными.

никновения ошибки (см. формулы 2, 3 и 4). Количество вычислительных процедур минимизировано.

Установление видов ошибок и их кратностей для группы выходов некоторого логического устройства позволяет осуществлять на полном их множестве поиск особых групп выходов.

Множество выходов логического устройства  $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\}$ ,  $i_1, i_2, \dots, i_p \in \{1, 2, \dots, m\}$   $m$  – общее количество выходов устройства, образует группу *монотонно независимых выходов* (МН-группу), если для каждого логического элемента  $G_q$  в его структуре выполняется условие:

$$U^d F^v = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_p}}{\partial y_q} \right)_{f_{i_1}, f_{i_2}, \dots, f_{i_p} \in W^v} \bigvee f_{i_1} f_{i_2} \dots f_{i_p} = 0. \quad (6)$$

Для устройства могут быть выделены МН-группы с различным числом выходов  $p$ . Обозначим такие группы как  $MH^d$ -группы, где  $d = p$  и соответствует максимальному значению кратности ошибки в группе.

Множество выходов логического устройства  $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\}$ ,  $i_1, i_2, \dots, i_p \in \{1, 2, \dots, m\}$  образует группу *симметрично независимых выходов* (СН-группу), если для каждого логического элемента  $G_q$  в его структуре выполняется условие:

$$U^d F^\sigma = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_p}}{\partial y_q} \right)_{f_{i_1}, f_{i_2}, \dots, f_{i_p} \in W^\sigma} \bigvee f_{i_1} f_{i_2} \dots f_{i_p} = 0. \quad (7)$$

Множество выходов логического устройства  $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\}$ ,  $i_1, i_2, \dots, i_p \in \{1, 2, \dots, m\}$ , образует группу *асимметрично независимых выходов* (АН-группу), если для каждого логического элемента  $G_q$  в его структуре выполняется условие:

$$U^d F^\alpha = \left( \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_p}}{\partial y_q} \right)_{f_{i_1}, f_{i_2}, \dots, f_{i_p} \in W^\alpha} \bigvee f_{i_1} f_{i_2} \dots f_{i_p} = 0. \quad (8)$$

Аналогично  $MH^d$ -группам у устройства могут быть выделены  $СН^d$ - и  $АН^d$ - группы. Для групп асимметрично независимых выходов может быть введен показатель степени асимметрии ошибки в группе, что позволит при поиске соответствующих групп выходов учитывать и особенности допустимых на выходах устройства асимметричных ошибок.

Примеры поиска различных групп выходов здесь приводить не будем. Их можно найти в работах [27, 28].

На рис. 3 приведена диаграмма, в которой условия выделения функциональной зависимости выходов систематизированы. При этом вместо переменной  $p$  указана рассматриваемая кратность ошибки  $d$ .

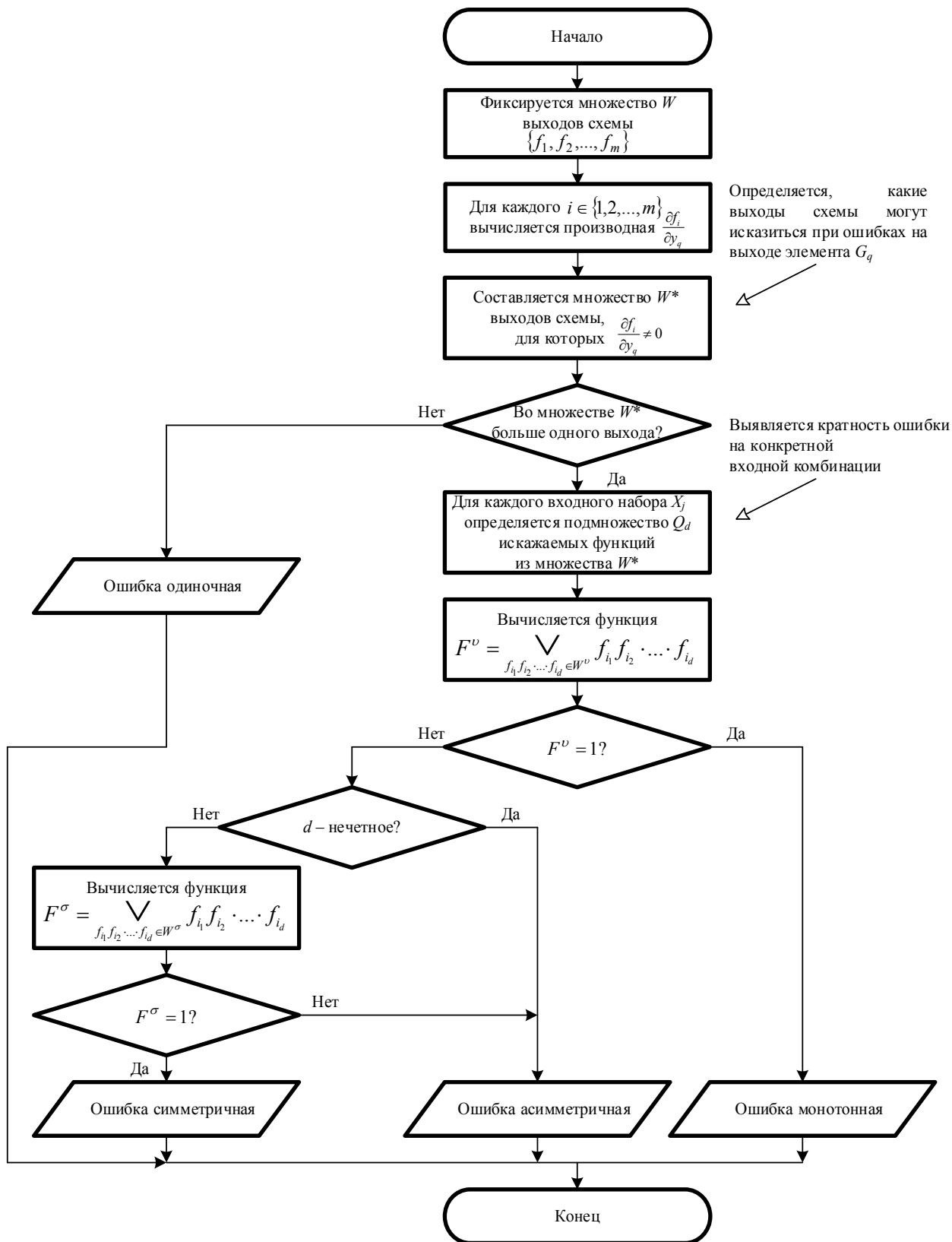


Рис. 2. Алгоритм фиксации вида и кратности ошибки при возникновении неисправности на выходе элемента  $G_q$ .

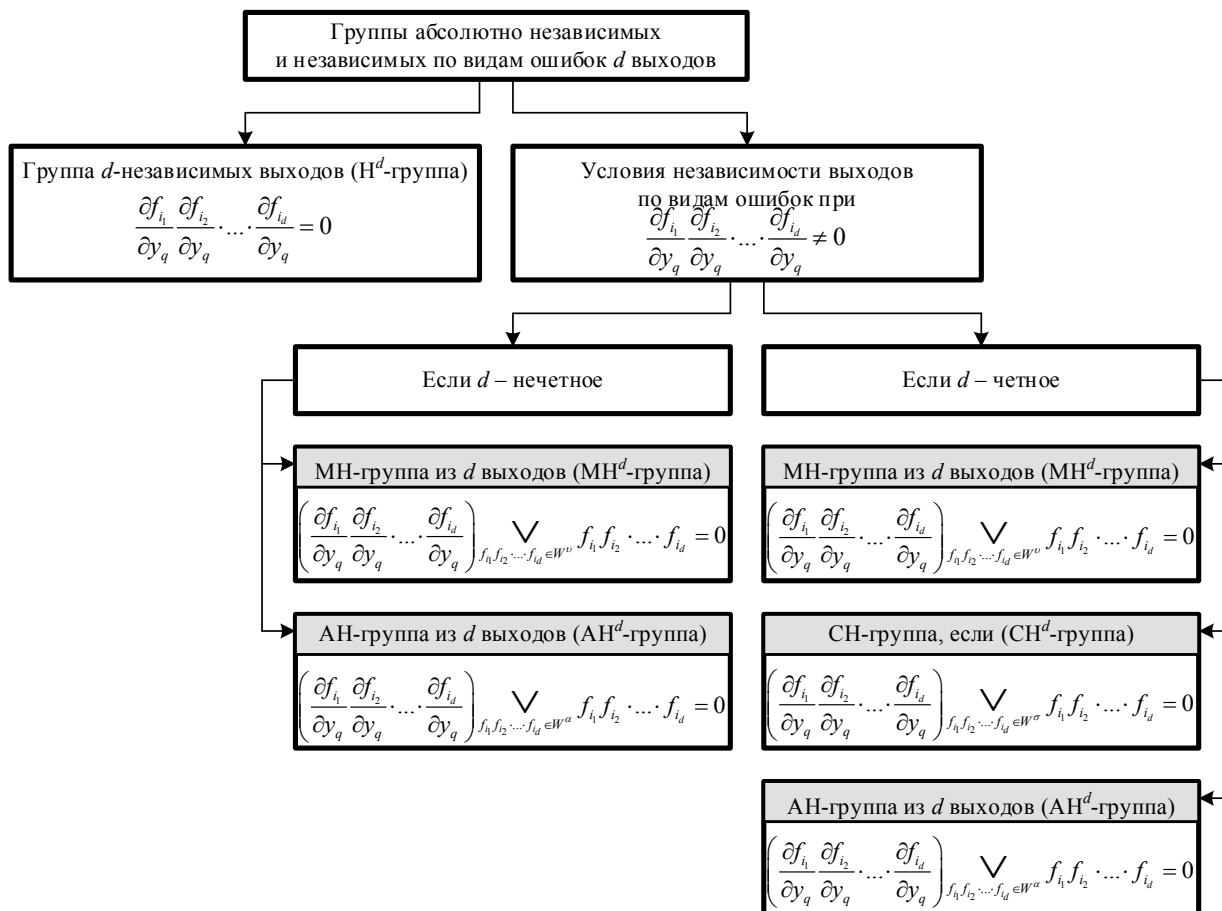


Рис. 3. Условия функциональной зависимости выходов.

Необходимо отметить практическую сторону использования приведенных здесь выражений и алгоритма определения вида ошибки, возникающей на выходе логического устройства. При анализе выходов любого логического устройства потребуется рассмотрение последовательно групп с  $j \geq 2$  выходами в каждой ( $j$ -групп). Общее количество  $j$ -групп будет равно  $C_m^j$ ,  $j = 2, 3, \dots, m$ , соответственно всего  $N = \sum_{j=2}^m C_m^j = 2^m - (C_m^0 + C_m^1) = 2^m - m - 1$  групп выходов. Это число стремительно растет с увеличением значения  $m$  (см. таблицу). В практических приложениях для устройств с  $m > 20$  выходами подобный анализ всех групп выходов затруднен. Несмотря на это, число рассматриваемых групп может быть сокращено, исходя из следующих соображений. Если некоторые три выхода попарно принадлежат какой-либо особой группе выходов, то вся «тройка» образует особую группу с данным свойством. То же самое касается и четырех групп по три выхода в каждой, а также групп с большим количеством выходов [29].

Отметим, что условия (6), (7) и (8) могут выполняться попарно одновременно. Если одновременно выполняются условия (6) и (7), то образуется МСН-группа выходов, если одновременно выполняются условия (6) и (8) –



то МАН-группа выходов, если (7) и (8) – то АСН-группа выходов. Если же условия (6), (7) и (8) выполняются одновременно, то выходы классифицируются, как показано в таблице, группой независимых выходов (Н-группа).

$m$	$N$
4	11
5	26
6	57
7	120
8	247
9	502
10	1013
...	...
20	1048555
...	...
50	$1,1259 \cdot 10^{15}$
...	...
100	$1,26765 \cdot 10^{30}$

В [30] отмечено, что рассмотрение групп СН-выходов целесообразно в довольно редких случаях и при организации контроля вычислений требует применения блочных кодов с высокой избыточностью. Поэтому в редких случаях может оказаться эффективным выделение МСН- и АСН- групп выходов.

В [31] обсуждаются условия выделения МАН-групп выходов для организации контроля вычислений логическими устройствами, а в [29] предложена структура организации схем встроенного контроля для логических устройств, охватывающая выделение Н-, МН- и МАН-групп выходов при выборе способа их синтеза.

### Заключение

При организации контроля вычислений логическими устройствами автоматике и вычислительной техники при наличии информации об их внутренних структурах целесообразно выделение особых групп выходов. Такие группы обладают свойствами исключения ошибок определенных видов и кратностей и контролируются с помощью соответствующих равномерных блочных кодов [13, 14]. Выбор способа кодирования как раз определяется свойством той или иной выделенной группы выходов логического устройства.

На множестве выходов логического устройства могут быть выделены Н-, МН-, СН-, АН-, МАН-, МСН-, АСН- группы выходов. При этом каждая

из них может включать в себя ограничение по кратности любых ошибок или ошибок определенного вида (монотонных, симметричных и асимметричных). Однако среди всего многообразия особых групп, связанных именно с видом исключаемых ошибок, наиболее эффективно рассмотрение МН- и МАН- групп. Группы выходов, исключая симметричные ошибки, эффективно контролируются только с помощью весьма избыточных кодов [29], поэтому могут использоваться редко.

Выделение особых групп на множестве выходов логических устройств позволяет на практике иметь различное количество способов организации контроля вычислений, дающих различные по избыточности технические средства диагностирования.

Дальнейшие исследования могут быть направлены на анализ особенностей выделения особых групп выходов для устройств, реализованных на программируемой элементной базе.

#### ЛИТЕРАТУРА

1. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989.
2. *Goessel M., Graf S.* Error Detection Circuits. – London: McGraw-Hill, 1994.
3. *Бестемьянов П.Ф.* Методы обеспечения безопасности и надежности микропроцессорных устройств железнодорожной автоматики и телемеханики // Труды международного симпозиума «Надежность и качество». – 2007. – Т. 2. – С. 273-274.
4. *Бестемьянов П.Ф.* Методы обеспечения безопасности аппаратных средств микропроцессорных систем управления движением поездов // Электротехника. – 2020. – №9. – С. 2-8.
5. *Дрозд А.В., Харченко В.С., Антощук С.Г., Дрозд Ю.В., Дрозд М.А., Сулима Ю.Ю.* Рабочее диагностирование безопасных информационно-управляющих систем // под ред. А.В. Дрозда и В.С. Харченко. – Харьков: Национальный аэрокосмический университет им. Н.Е. Жуковского («ХАИ»), 2012.
6. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. – John Wiley & Sons, 2006.
7. *Drozdz A., Al-Dhabi M., Antoshchuk S., Martinyuk A., Drozd M.* Models and Methods Checking Mantissas by Inequalities for On-Line Testing of Digital Circuits in Critical Applications // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – P. 440-444. DOI: 10.1109/EWDTS.2017.8110068.
8. *Ярмолик В.Н.* Контроль и диагностика вычислительных систем. – Минск: Бестпринт, 2019.
9. *Сапожников В.В., Сапожников Вл.В., Гессель М.* Самодвойственные дискретные устройства. – СПб.: Энергоатомиздат, 2001.
10. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. – Dordrecht: Springer Science+Business Media B.V., 2008.

11. Nicolaidis M., Zorian Y. On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application. – 1998. – Vol. 12, Issue 1-2. – P. 7-20. – DOI: 10.1023/A:1008244815697.
12. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – P. 25-28. DOI: 10.1109/EWDTS.2017.8110065.
13. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. – Т. 1: Классические коды Бергера и их модификации. – М.: Наука, 2020.
14. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. – Т. 2: Взвешенные коды с суммированием. – М.: Наука, 2021.
15. Stempkovsky A.L., Zhukova T.D., Telpukhov D.V., Gurov S.I. CICADA: A New Tool to Design Circuits with Correction and Detection Abilities // International Siberian Conference on Control and Communications (SIBCON), 13-15 May 2021, Kazan, Russia. – P. 1-5. DOI: 10.1109/SIBCON50419.2021.9438900.
16. Гессель М., Морозов А.А., Сапожников В.В., Сапожников Вл.В. Построение самопроверяемых комбинационных схем на основе свойств самодвойственных функций // Автоматика и телемеханика. – 2000. – №2. – С. 151-163.
17. Nikolos D. Self-Testing Embedded Two-Rail Checkers // Journal of Electronic Testing: Theory and Applications. – 1998. – Vol. 12, Issue 1-2. – P. 69-79. – DOI: 10.1023/A:1008281822966.
18. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Классификация ошибок в информационных векторах систематических кодов // Известия высших учебных заведений. «Приборостроение». – 2015. – Т. 58, №5. – С. 333-343. – DOI: 10.17586/0021-3454-2015-58-5-333-343.
19. Аксенова Г.П., Согомоян Е.С. Построение самопроверяемых схем встроенного контроля для автоматов с памятью // Автоматика и телемеханика. – 1975. – №7. – С. 132-142.
20. Sogomyan E.S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications. – 1993. – Vol. 4, Issue 4. – P. 267-281. – DOI: 10.1007/BF00971975.
21. Гессель М., Морозов А.А., Сапожников В.В., Сапожников Вл.В. Исследование комбинационных самопроверяемых устройств с независимыми и монотонно независимыми выходами // Автоматика и телемеханика. – 1997. – №2. – С. 180-193.
22. Sogomyan E.S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications. – 1993. – Vol. 4, Issue 4. – P. 267-281. – DOI: 10.1007/BF00971975.
23. Busaba F.Y., Lala P.K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications. – 1994. – Issue 1. – P. 19-28. – DOI: 10.1007/BF00971960.
24. Matrosova A.Yu., Ostanin S.A. Self-Checking Synchronous Sequential Circuit Design for Unidirectional Error // Proceedings of the IEEE European Test Workshop (ETW'98), 27-29 May 1998, Sitges, Barcelona, Spain.

25. *Morosow A, Saposhnikov V.V., Saposhnikov Vl.V., Goessel M.* Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // *VLSI Design*. – 1998. – Vol. 5, Issue 4. – P. 333-345. – DOI: 10.1155/1998/20389.
26. *Saposhnikov V.V., Morosov A., Saposhnikov Vl.V., Göessel M.* A New Design Method for Self-Checking Unidirectional Combinational Circuits // *Journal of Electronic Testing: Theory and Applications*. – 1998. – Vol. 12, Issue 1-2. – P. 41-53. – DOI: 10.1023/A:1008257118423.
27. *Абдуллаев Р.Б.* Метод определения функциональной зависимости рабочих выходов логических комбинационных схем от проявления монотонных ошибок // *Информатика и автоматизация*. – 2022. – Т. 21, №4. – С. 786-811. – DOI: 10.15622/ia.21.4.6.
28. *Ефанов Д.В.* Синтез самопроверяемых комбинационных устройств на основе кодов с эффективным обнаружением симметричных ошибок // *Труды СПИИРАН*. – 2018. – №4. – С. 62-91. – DOI: 10.15622/SP.59.3.
29. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // *Автоматика и телемеханика*. – 2018. – №9. – С. 79-94.
30. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Коды с суммированием, обнаруживающие любые симметричные ошибки // *Электронное моделирование*. – 2017. – Т. 39, №3. – С. 47-60.
31. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Условия обнаружения неисправности логического элемента в комбинационном устройстве при функциональном контроле на основе кода Бергера // *Автоматика и телемеханика*. – 2017. – №5. – С. 152-165.

*Статья представлена к публикации членом редколлегии С.В. Шалобановым.*

*E-mail:*

*Ефанов Дмитрий Викторович – TrES-4b@yandex.ru.*